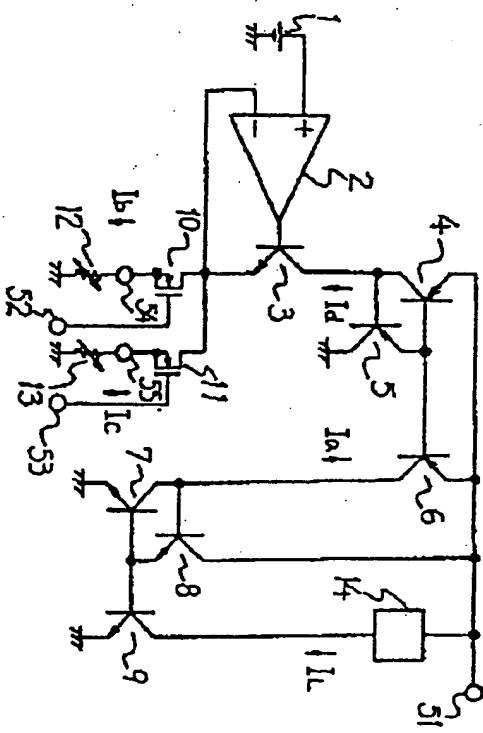


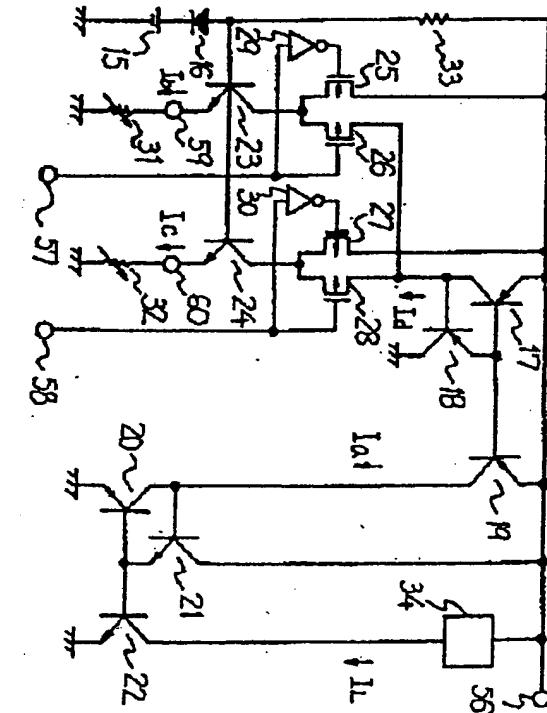
Supplement to the Patent Abstracts of Japan of Citation 3

The constant current circuit shown in Fig. 2 is provided with input terminals 57 and 58 for receiving current setting signals. The circuit is wired such that the current setting signals work on the PMOS transistors 25 to 28 and inverters 29 and 30, and can output four different kinds of electrical values, 0, I_b , I_c and I_b+I_c .



1,15: constant voltage source
 2: differential amplifier
 3-9, 17-24: transistors
 10,11: NMOS transistors
 25-28: PMOS transistors
 29,30: inverter
 12,13,31-33: resistors
 14,34: load circuit
 57,58: input terminals
 for current setting

第1図



prior art

第2図

PATENT ABSTRACTS OF JAPAN

3

(11) Publication number : 04-117709
 (43) Date of publication of application : 17.04.1992

(51) Int.Cl.

H03F 3/343
 G05F 3/26

(21) Application number : 02-233072

(71) Applicant : NEC IC MICROCOMPUT SYST LTD

(22) Date of filing : 03.09.1990

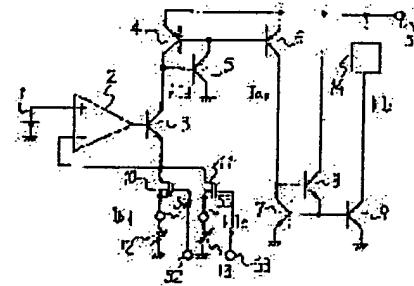
(72) Inventor : HAMAOKA YUKIYAKI

(54) CONSTANT CURRENT CIRCUIT

(57) Abstract:

PURPOSE: To supply a prescribed constant current to a load circuit by providing a 2nd current mirror circuit whose reference voltage side connects to an output of a 1st current mirror circuit and whose output side connects to the prescribed load circuit to the constant current circuit and selecting and setting a reference current supplied between an inverting input of a differential amplifier and a ground level.

CONSTITUTION: Transistors(TRs) 4-6 and 7-9 form respectively 1st and 2nd current mirror circuits, and a constant voltage source 1, a differential amplifier 2, a TR 3 and resistors 12, 13 form a voltage current conversion circuit. The differential amplifier 2 forms an amplifier circuit of full feedback type by means of the TR 3. When a voltage V1 of the constant voltage source 1 is applied to a noninverting input of the differential amplifier 2, since the on-resistance of an n-channel MOS TR 10 or 11 being a component of a switching circuit is sufficiently smaller than the resistance of the resistors 12, 13 being constant current setting resistors, the voltage V1 is outputted without attenuation at a terminal 54 or 55. Thus, a prescribed stable constant current is supplied to the load circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

⑨日本国特許庁(JP) ⑩特許出願公開

⑪公開特許公報(A) 平4-117709

⑫Int.Cl.⁵H 03 F 3/343
G 05 F 3/26

識別記号

府内整理番号

A 8326-5J
8938-5H

⑬公開 平成4年(1992)4月17日

審査請求 未請求 請求項の数 1 (全4頁)

⑭発明の名称 定電流回路

⑮特 願 平2-233072

⑯出 願 平2(1990)9月3日

⑰発明者 浜岡 幸晃 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑱出願人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑲代理人 弁理士 内原晋

明細書

発明の名称

定電流回路

特許請求の範囲

所定の定電圧を正相入力側に入力し、その出力電圧を所定のトランジスタのベースに入力し、このトランジスタのエミッタを介して出力電圧を逆相入力側に帰還する差動増幅器と、

基準電圧側を前記トランジスタのコレクタに接続して形成される第1のカレントミラー回路と、

基準電圧側を前記第1のカレントミラー回路の出力側に接続し、出力側を所定の負荷回路に接続して形成される第2のカレントミラー回路と、

前記トランジスタのエミッタならびに差動増幅器の逆相入力側と所定の接地電位との間に、定電流出力値を規定する基準電流値を選択して設定するための電流値設定手段と、

を備えることを特徴とする定電流回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は定電流回路に関し、特に定電圧動作に対応して、安定した定電流出力を供給することができる定電流回路に関するもの。

〔従来の技術〕

従来の定電流回路の一例を第2図に示す。第2図に示されるように、従来の定電流回路は、負荷回路34に対応して、定電圧源15、ダイオード16、トランジスタ17~24、PMOSトランジスタ25~28、インバータ29および30、および抵抗31~33等を備えて構成されており、トランジスタ17,18および19と、トランジスタ20,21および22は、それぞれ第1および第2のカレントミラー回路を形成している。また、PMOSトランジスタ25~28とインバータ29および30は、スイッチング回路を形成しており、ダイオード16、トランジスタ23および24、抵抗31~33、および定電圧源15は、電圧・電流変換回路を形成している。

して I_o が選択された場合についても同様である。

〔発明が解決しようとする課題〕

上述した従来の定電流回路においては、電源電圧が低下してくると、前記(7)式にて示される関係式に対応して飽和状態が発生し、設定電流が正しく設定されなくなるために、負荷回路に入力される供給電流に差異を生じるという欠点がある。更に、前記(1)式により明らかのように、 V_{D16} および V_{BZ23} のそれぞれ電圧のバラツキに対応して $V_{D16} \neq V_{BZ23}$ となり、設定電流自体においても誤差を生ずるという欠点がある。

〔課題を解決するための手段〕

本発明の定電流回路は、所定の定電圧を正相入力側に入力して、その出力電圧を所定のトランジスタのベースに入力し、このトランジスタのエミッタを介して出力電圧を逆相入力側に帰還する差動増幅器と、基準電圧側を前記トランジスタのコレクタに接続して形成される第1のカレントミラー回路と、基準電圧側を前記第1のカレントミラー回路の出力側に接続し、出力側を所定の負荷回

路に接続して形成される第2のカレントミラー回路と、前記トランジスタのエミッタならびに差動増幅器の逆相入力側と所定の接地電位との間に、定電流出力値を規定する基準電流値を選択して設定するための電流値設定手段と、を備えて構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は本発明の一実施例の回路図である。第1図に示されるように、本実施例は、負荷回路14に対応して、定電圧源1と、差動増幅器2と、トランジスタ3～9と、NMOSトランジスタ10および11と、抵抗12および13と、を備えて成される。

第1図において、トランジスタ4、5および6と、トランジスタ7、8および9は、それぞれ第1および第2のカレントミラー回路を形成しており、PMOSトランジスタ10および11はスイッチング回路を形成している。また、定電圧源1、差動増幅器2、トランジスタ3および抵抗12および

13は、それぞれPMOSトランジスタ10および11を介して電圧・電流変換回路を形成している。

差動増幅器2は、トランジスタ3を介して全帰還型の増幅回路を構成しており、定電圧源1の電圧 V_1 を差動増幅器2の正相入力側に印加すると、当該電圧 V_1 は、スイッチング回路を形成するNMOSトランジスタ10または11の「オン」抵抗値が、定電流設定抵抗である抵抗12および13の抵抗値に対比して十分に小さいため、そのまま端子54または55に出力される。即ち、電圧 V_1 は、 V_1/R_1 または V_1/R_2 に相当する設定電流 I_b または I_o に変換される。ここに、 R_1 および R_2 は、それぞれ抵抗31および32の抵抗値である。

以下、設定電流 I_b または I_o が、順次、電流 I_a 、 I_b および I_o に変換されてゆく動作については、前述の従来例の場合と同様である。

次に、本実施例において、電流設定端子52から入力される電流設定信号を介して、設定電流として I_b が選択される場合を例として、その動作を説明する。NMOSトランジスタ10の「オン」抵抗

値を R_{10} とすると、 $R_1 > R_{10}$ として、上記の I_b は次式にて表わされる。

$$I_b = \frac{V_1}{R_1 + R_{10}} = \frac{V_1}{R_1} \quad \dots \dots \dots (8)$$

上式において、 R_1 は抵抗12の抵抗値である。

従って、負荷回路14に供給される電流 I_L は、前述の(6)式と同様に、 $I_L = k_1 k_2 I_b$ となる。ここにおいて、上記(8)式と前述の(1)式とを比較対照して明らかのように、本実施例においては、従来例における、ダイオード16の順方向電圧 V_{D16} と、トランジスタ23のベース・エミッタ間電圧 V_{BZ23} とに対する電圧による影響が無いため、設定電流 I_b に変動誤差を生じない。

次に、本実施例において、電源端子51から供給される電源電圧が低下した場合には、電源電圧 V_{cc} と各部の電位との関係式として次式が成立する。

$$V_{cc} = V_{BZ4} + V_{BZ5} + V_{CZ3} + V_1 \dots \dots \dots (9)$$

従って、上記(9)式を前述の(7)式と対比してみると、(9)式の方が、右辺において、従来例に

おける PMOSトランジスタ26のドレイン・ソース同電圧に相当する V_{DS26} の分だけ少なくなっていることが分る。この故に、電源電圧 V_{CC} の低下に対応して、当該電源電圧 V_{CC} が、前記 V_{DS26} の欠如に対応する、より低いレベルに低下する状態においても、尚、定電流回路として飽和状態に達することなく、正常な動作状態を維持することができる。

このことを、前述の従来例の場合と同様に、數値的に計算してみると、 $V_{BE4} = V_{BS5} = 0.7V$ 、 $V_{GS3} = 0.5V$ 、 $V_t = 1.3V$ として、これらの数値を(9)式に代入すると、 $V_{CC} = 3.2V$ となる。即ち、 V_{CC} が3.2Vに低下するまで、定電流回路としての正常動作を期待することができる。

また、NMOSトランジスタ10および11を含むスイッチング回路は、本実施例においては、2回路により構成されているが、このスイッチング回路の数は2回路に限定されるものではなく、必要に応じてその数を増加することができる。なお、本実施例においては、第1および第2のカレント

ミラー回路を介して、設定電流を交換して所定の定電流を負荷回路に供給しているが、第1のカレントミラー回路のみによって、設定電流を交換して、負荷回路に所定の定電流を供給することも可能であり、同様の効果を期待することができる。
〔発明の効果〕

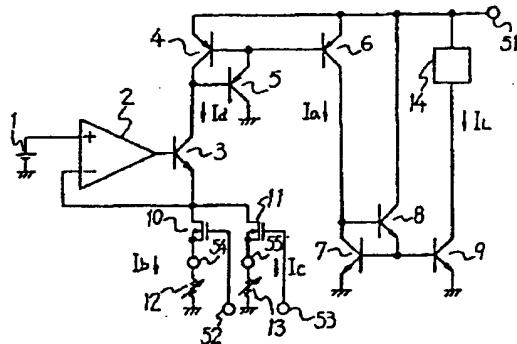
以上、詳細に説明したように、本発明は、所定の負荷回路に定電流を供給する定電流回路に適用されて、供給電源電圧の低下時においても、より安定に所定の定電流を負荷回路に供給することができるという効果がある。

図面の簡単な説明

第1図は、本発明の一実施例の回路図、第2図は従来例の回路図である。

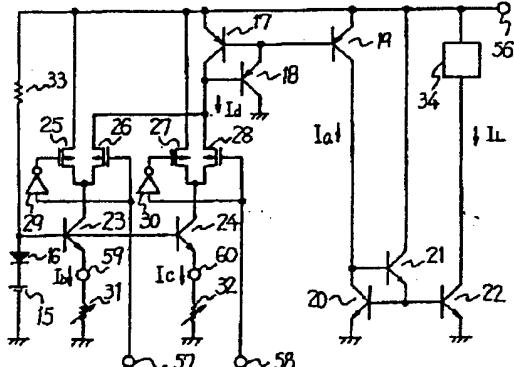
図において、1…定電圧源、2…差動増幅器、3～9…トランジスタ、10、11…NMOSトランジスタ、12、13…抵抗、14…負荷回路、15～33…抵抗、16…ダイオード、17～24…トランジスタ、25～28…PMOSトランジスタ、29、30…インバータ、31～33…抵抗、34…負荷回路。

代理人会員内原晋



1…定電圧源 2…差動増幅器
3～9…トランジスタ
10, 11…NMOSトランジスタ
12, 13…抵抗 14…負荷回路

第1図



1…定電圧源 16…ダイオード
17～24…トランジスタ
25～28…PMOSトランジスタ
29, 30…インバータ
31～33…抵抗 34…負荷回路

第2図